

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年6月21日 (21.06.2001)

PCT

(10) 国際公開番号  
WO 01/45079 A1

(51) 国際特許分類: G09G 3/36, G02F 1/133

(21) 国際出願番号: PCT/JP00/05904

(22) 国際出願日: 2000年8月31日 (31.08.2000)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願平 11/356898  
1999年12月16日 (16.12.1999) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 土居康之 (DOI,

Yasuyuki) [JP/JP]; 〒617-0824 京都府長岡京市天神5-17-1 Kyoto (JP). 大森哲郎 (OOMORI, Tetsuro) [JP/JP]; 〒573-1155 大阪府枚方市招提南町1-31-3 Osaka (JP). 西和義 (HISHI, Kazuyoshi) [JP/JP]; 〒617-0001 京都府向日市物集女町出口39-1-202 Kyoto (JP).

(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka (JP).

(81) 指定国 (国内): CN, KR, US.

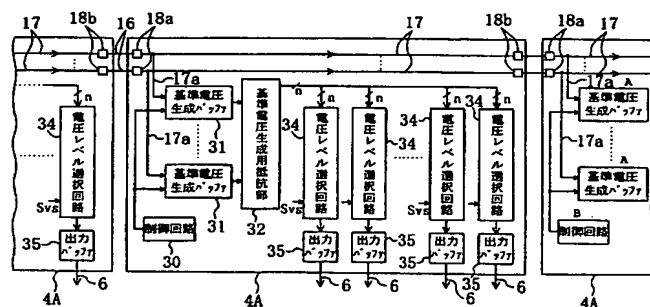
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: LIQUID CRYSTAL DRIVE CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, REFERENCE VOLTAGE BUFFER CIRCUIT, AND METHOD FOR CONTROLLING THE SAME

(54) 発明の名称: 液晶駆動回路、半導体集積回路装置、基準電圧バッファ回路及びその制御方法



34...VOLTAGE LEVEL SELECTING CIRCUIT  
35...OUTPUT BUFFER  
31...REFERENCE VOLTAGE GENERATING BUFFER  
30...CONTROL CIRCUIT  
32...REFERENCE VOLTAGE GENERATING RESISTOR PART  
A...REFERENCE VOLTAGE GENERATING BUFFER  
B...CONTROL CIRCUIT

(57) Abstract: In-chip reference voltage lines (17) are laid from one edge of an LSI chip to the other in source drivers (4A) provided in a liquid crystal panel. In each source driver (4A), branch reference voltage lines (17a) branching off the in-chip reference voltage lines (17), a reference voltage generating buffer (31), a control circuit (30) for controlling the reference voltage generating buffer (31), a reference voltage generating resistor part (32) for dividing a reference voltage into n levels, a voltage level selecting circuit (34) for selecting one of the voltage levels, and an output buffer (35). The reference voltage is supplied to each source driver (4) through a line connecting the in-chip reference voltage lines (17), and therefore the wiring structure for supplying the reference voltage is simplified.

[続葉有]

WO 01/45079 A1



---

(57) 要約:

液晶パネルに配置されるソースドライバ４Ａ内には、チップ内基準電圧配線１７がＬＳＩチップの端部から端部に亘って形成されている。ソースドライバ４Ａ内には、各チップ内基準電圧配線１７から分岐する各分岐基準電圧配線１７ａと、基準電圧生成バッファ３１と、基準電圧生成バッファ３１を制御するための制御回路３０と、基準電圧をｎ段階に細分化するための基準電圧生成用抵抗部３２と、細分化された電圧のうちいずれか１つを選択する電圧レベル選択回路３４と、出力バッファ３５とを備えている。基準電圧は、各チップ内基準電圧配線１７を直列に接続する配線を介して各ソースドライバ４に供給されるので、基準電圧を供給するための配線構造を簡素化できる。

## 明 細 書

液晶駆動回路，半導体集積回路装置，基準電圧バッファ回路及びその制御方法

## 技術分野

本発明は、液晶素子を駆動させるための液晶駆動回路、液晶駆動回路内に配置される半導体チップ及び半導体チップ内に形成される基準電圧バッファ回路に関するものである。

## 背景技術

従来より、相対向する1対のガラス基板の間に液晶を介在させる一方、1対のガラス基板の間に電圧を印加して、液晶がその配向状態に応じて光の透過率を変化させる性質を利用して、図形、文字、記号などの各種の視覚的情報を表示するように構成された液晶パネルや、この液晶パネルに駆動回路を付加した液晶モジュールが知られている。

図9は、従来の液晶モジュール100の平面図である。同図に示すように、液晶モジュール100は、液晶パネル101と、液晶パネル101の液晶表示部101a中の液晶素子102を駆動させるための駆動回路とに分かれる。液晶パネル101の液晶表示部101aには、液晶を挟む1対のガラス基板が設けられていて、図9に現れている一方のガラス基板（上方のガラス基板）と、図9には現れていない対向ガラス基板（下方のガラス基板）との間に、液晶素子102とTFT103とがマトリクス状に配置されている。液晶素子102は、例えば上方のガラス基板の下面に形成された透明電極と、対向ガラス基板の上面に形成された対向透明電極の間に介在する液晶により構成されている。また、TFT103は、上方のガラス基板の下面において透明電極に接続されて、透明電極の電圧を制御するためのトランジスタである。

また、駆動回路は、各TFT103のソースの電圧を制御するための複数（この例では8個）のソースドライバ104と、各TFT103のゲートの電圧を制御するためのゲートドライバ105と、ソースドライバ104及びゲートドライ

バ 1 0 5 に供給する電圧信号や制御信号を生成するための電圧生成・制御用回路 1 2 0 と、電圧生成・制御用回路 1 2 0 とソースドライバ 1 0 4 との間に設けられた第 1 配線用基板 1 1 0 と、電圧生成・制御回路 1 2 0 とゲートドライバ 1 0 5 との間に設けられた第 2 配線用基板 1 1 2 とを備えている。第 1 配線用基板 1 1 0 と各ソースドライバ 1 0 4 とはフレキシブル配線 1 1 1 を介して接続され、第 2 配線用基板 1 1 2 と各ゲートドライバ 1 0 5 とはフレキシブル配線 1 1 3 を介して接続されている。駆動回路のうち各ソースドライバ 1 0 4 と各ゲートドライバ 1 0 5 とは液晶表示部 1 0 1 a を除く液晶パネル 1 0 1 に配設されている。すなわち、いわゆる C O G (Chip On Glass) タイプの構造となっている。各ソースドライバ 1 0 4 は、例えば 8 個の L S I チップ上に個別に形成されている。

そして、液晶パネル 1 0 1 において、駆動回路の各ソースドライバ 1 0 4 から図 9 に示す列 (コラム) に沿って多数のデータ線 1 0 6 が液晶表示部 1 0 1 a に延びており、各データ線 1 0 6 は各 T F T 1 0 3 のソースに接続されている。また、ゲートドライバ 1 0 5 から図 9 に示す行 (ロウ) に沿って多数のゲート線 1 0 7 が液晶表示部 1 0 1 a に延びており、各ゲート線 1 0 7 は各 T F T 1 0 3 のゲートに接続されている。また、液晶素子 1 0 2 に印加する電圧の制御の方式としては、透明電極が対向透明電極よりも高電位であるときの電圧極性を“正”と定義したときに、対向透明電極の電圧を一定の時間間隔で正負切り換える一方、T F T 側の透明電極の電圧は  $n$  段階 (この例では 6 4 段階) の電圧値に制御するという第 1 のタイプと、対向透明電極の電圧は一定 (例えば中間電位  $VDD/2$ ) にしておき、T F T 側の透明電極の電圧を一定の時間間隔で交互に正負  $n$  段階 (この例では 6 4 段階、合計 1 2 8 段階) の電圧値に反転させる第 2 のタイプとがある。いずれの方式においても、液晶素子 1 0 2 に印加される電圧が常に同じ極性であれば、液晶の劣化による明度の誤差が生じるのを回避するようにしている。

図 1 0 は、従来の第 1 のタイプのソースドライバ 1 0 4 A の構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ 1 0 4 A 内には、基準電圧配線 1 3 1 が機械的に接続される部分であるパッド 1 3 3 と、基準電圧配線 1 3 1 の信号を受けて、さらに細分化した基準電圧を生成する基準電圧生成

用抵抗部 132 と、基準電圧生成用抵抗部 132 に接続される多数の電圧レベル選択回路 134 と、各電圧レベル選択回路 134 の後段側に配置された出力バッファ 135 とを備えている。つまり、電圧に関する信号をできるだけソースドライバ 104A 内で生成するようにして基準電圧のみを外部から生成されたものを受け取る構成になっている。

基準電圧配線 131 は、電圧生成・制御用回路 120 とソースドライバ 104A とを接続する配線であって、その一部が上記フレキシブル配線 111 となっている。なお、基準電圧配線以外のデータ信号線（例えば 6 ビット）もソースドライバ 104A に接続されており、第 1 配線用基板 110 は、極めて多くの配線を支持するために何層もの基板を積層した構造となっている。

基準電圧生成用抵抗部 132 は、1 つの液晶素子 102 の配向状態を  $n$  段階（例えば 64 段階）に制御して  $n$  階調（例えば 64 階調）の明度を与えるものである。例えば互いに異なる 10 段階の電圧値の信号が流れる 10 本の基準電圧配線 131 が基準電圧生成抵抗部 132 に接続され、この 10 段階の電圧値を基準電圧生成抵抗部 132 によってさらに 64 段階の電圧値に細分化するように構成されている。また、上述の第 1 配線用基板 110 は基準電圧配線 131 などを支持するものである。

各電圧レベル選択回路 134 は、 $n$  本の信号線を介して基準電圧生成用抵抗部 132 から電圧信号を受けており、各電圧レベル選択回路 134 は、電圧選択制御信号  $S_{vs}$  の制御により、 $n$  本の信号線のうちいずれか 1 つの信号線から供給される電圧信号を通過させて、出力バッファ 135 を介してデータ線 106 に出力するものである。すなわち、電圧選択制御信号  $S_{vs}$  により、TF T 103 を経て液晶素子 102 を挟む 1 対の透明電極の間に印加される電圧を 64 段階のうちいずれか 1 つに制御することにより、当該液晶素子 102 を通過した光の明度が制御される。また、1 つのソースドライバ 104A 内において、電圧レベル選択回路 134 は、カラー表示の場合には例えば 384 個ずつ配置されている。

また、図 11 は、従来の第 2 のタイプのソースドライバ 104B の構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ 104B 内には、対向透明電極に印加される中間電圧よりも高電位の基準電圧を受け取る正側

基準電圧生成用抵抗部 1 3 2 a と、対向透明電極に印加される中間電圧よりも低電位の基準電圧を受ける負側基準電圧生成部 1 3 2 b とが設けられていて、各電圧レベル選択回路 1 3 4 は、正側基準電圧生成抵抗部 1 3 2 a の出力を受ける正側電圧レベル選択回路 1 3 4 a と、負側基準電圧生成抵抗部 1 3 2 b の出力を受ける負側電圧レベル選択回路 1 3 4 b とに分けられ、正側電圧レベル選択回路 1 3 4 a と負側電圧レベル選択回路 1 3 4 b とが交互に配置されている。そして、正側電圧レベル選択回路 1 3 4 a と負側電圧レベル選択回路 1 3 4 b との出力を受けるセクタ 1 3 6 により、セクタ制御信号 S<sub>se</sub> に応じて、正側電圧レベル選択回路 1 3 4 a の出力と負側電圧レベル選択回路 1 3 4 b の出力とを交互に切り換えて、両者の出力側に配置される出力バッファ 1 3 5, 1 3 5 に供給するように制御される。つまり、相隣接する 2 つの出力バッファ 1 3 5, 1 3 5 からは、一定の時間間隔で交互に高低切り換わる電圧信号が出力されることになる。すなわち、相隣接するデータ線 1 0 6 に接続される液晶素子 1 0 2 には、常に正負逆の電圧が印加された状態となり、かつ、その状態が一定の時間間隔で逆転することになる。このように、第 2 のタイプの液晶モジュールに配置されるソースドライバ 1 0 4 B においては、相隣接するデータ線 1 0 6 の電圧を交互に高低切り換えることにより、1 つの液晶素子 1 0 2 に印加される電圧を一定の時間間隔で正負切り換えるように構成されている。

### 解決課題

ここで、上記第 1 のタイプ、第 2 のタイプのいずれにおいても、ソースドライバ 1 0 4 に供給される基準電圧の電圧値のばらつきの少ないことが要求される。例えば数ボルトの電圧を 6 4 階調や 2 5 6 階調に細分化すると、約 1 0 ~ 2 0 mV 程度の電圧幅に細分化されるからである。かかる要請から、従来の液晶モジュールにおいては、各ソースドライバ 1 0 4 に、電圧生成・制御用回路 1 2 0 で生成された基準電圧をできるだけ電圧降下がない状態で供給するために、第 1 配線用基板 1 1 0 と各ソースドライバ 1 0 4 とを、抵抗が数  $\Omega$  程度のフレキシブル配線 1 1 1 により接続するようになされている。

しかしながら、上記従来の液晶表示モジュールにおいて、第 1 のタイプ、第 2

のタイプのいずれにも共通する不具合として、ソースドライバに基準電圧を供給する基準電圧配線の構造の複雑さがある。特に、コンピュータグラフィックなどの映像表示システムの進歩に伴い、ソースドライバから供給すべき電圧信号をより細分化すべき要請が高まっているので、配線数はますます増大することが予想される。そのために、図9に示す構造において、ソースドライバ104とフレキシブル配線111を介して接続される第1配線用基板110が多層基板を積層した複雑なものとなり、かつ、液晶モジュールのトータルコストの低減を妨げる1つの要因となってきた。

本発明の目的は、各ソースドライバに供給される基準電圧の電圧値のばらつきを抑制しつつ基準電圧を供給するための配線の構造を簡素化しうる手段を講ずることにより、液晶モジュールの小型化やトータルコストの低減を実現することにある。

#### 発明の開示

本発明の液晶駆動回路は、液晶素子を駆動するための複数のソースドライバを液晶パネル上に配置してなる液晶駆動回路を前提とし、上記液晶素子を駆動するための複数の基準電圧を生成する基準電圧生成回路と、上記基準電圧生成回路で生成された上記複数の基準電圧を上記各ソースドライバ回路装置に供給するための基準電圧配線であって、上記液晶パネル上と上記各ソースドライバ回路装置上とを通して延びる複数の基準電圧配線を備えている。

これにより、従来フレキシブル配線等の配線部材によって各ソースドライバ回路に供給されていた基準電圧が、液晶パネル上に設けられた基準電圧配線から供給されるので、基準電圧配線などのために従来設けられていた配線用基板の構造を簡素化することができる。したがって、配線用基板の積層枚数の低減などによる液晶表示装置の小型化やトータルコストの低減の実現を図ることができる。

上記ソースドライバ回路装置は、上記ソースドライバ回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、上記複数の分岐基準電圧配線から供給される基準電圧を

受けた後出力する同数のバッファと、上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子駆動用電圧として選択する選択回路とを備えることが好ましい。

各基準電圧配線が液晶パネル上に設けられると、チップ間の基準電圧配線などの抵抗値が大きくなることにより、基準電圧配線に電流が流れると各ソースドライバ回路に入力される基準電圧に電圧降下が生じるおそれがある。それに対して、選択回路の前段側にバッファを設けることにより、選択回路につながる基準電圧配線にバッファを通過した電流が流れないので、各液晶素子に適正な駆動用電圧を供給することが可能になる。

本発明の半導体集積回路装置は、液晶モジュール内に配置され、液晶素子を駆動するためのソースドライバ回路を搭載した半導体集積回路装置を前提とし、上記ソースドライバ回路は、上記半導体集積回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、上記各複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子の駆動用電圧として選択する選択回路とを備えている。

これにより、上述のようなパネル上に基準電圧配線を設けた液晶駆動回路を構成するために用いることができる、半導体チップからなる半導体集積回路装置を供給することが可能になる。

上記各バッファの出力電圧を受けて、上記複数の基準電圧を細分化した細分化電圧を生成した後、上記選択回路に細分化電圧を出力する細分化電圧生成回路をさらに備え、上記選択回路が上記細分化電圧のうちいずれか1つを選択する構成とすることにより、高精細化された画像を表示するための液晶パネルに適した半導体集積回路装置が得られる。

上記バッファは、入力電圧と出力電圧との電位差を低減するオフセットキャンセル機能を有することにより、ばらつきの小さい精度の高い基準電圧を供給することが可能になる。



上記バッファを、一方の端子に上記バッファへの入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1, 第2の電極を有し上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、上記演算器に入力電圧を導入するための入力側ノードと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力電圧を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側ノードとの間に介設された第2のスイッチング素子と、上記第1のノードと上記第3のノードとの間に介設された第3のスイッチング素子とにより構成することができる。

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的变化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えることにより、より安定した基準電圧を出力することができる。

上記バッファを、外部で生成された基準電圧を入力電圧として受ける入力側ノードと出力電圧を送り出すための出力側ノードとの間に2つのバッファ回路を並列に配置して構成し、上記各バッファ回路を、一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1, 第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記入力側ノードとの間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とにより構成することが好ましい。

これにより、一方のバッファ回路でキャパシタにオフセット電圧に相当する電

荷を蓄積している間は、当該バッファ回路と出力側ノードとを電氣的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができ、出力を停止させなければならない無効期間を低減することができる。

本発明の基準電圧バッファ回路は、液晶モジュールの液晶素子を駆動するためのソースドライバ回路に配置される基準電圧バッファ回路であって、外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成され、上記2つのバッファ回路のうちの各バッファ回路は、一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1，第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とにより構成されている。

これにより、一方のバッファ回路でキャパシタにオフセット電圧に相当する電荷を蓄積している間は、当該バッファ回路と出力側ノードとを電氣的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができる。

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電氣的变化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えることにより、第2のスイッチング素子の寄生容量をキャンセルすることで、第2のノードの電圧の変動を補償することができるので、演

算器の出力電圧も安定することになる。

本発明の基準電圧バッファ回路の制御方法は、入力側ノードと出力側ノードとの間に、出力電圧を入力電圧に等しくするよう動作する演算器と、第1, 第2の電極を有するキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とをそれぞれ有する2つのバッファ回路を互いに並列に接続して構成される基準電圧バッファ回路の制御方法であって、上記各バッファ回路において、当該バッファ回路から基準電圧を出力する出力モードのときには、上記第3及び第4のスイッチング素子を導通状態にして、上記第1及び第2のスイッチング素子を非導通状態にする一方、当該バッファ回路のキャパシタに電荷を蓄積する電荷蓄積モードのときには、上記第3及び第4のスイッチング素子を非導通状態にして、上記第1及び第2のスイッチング素子を導通状態にする方法である。

この方法により、一方のバッファ回路でキャパシタにオフセット電圧に相当する電荷を蓄積している間は、当該バッファ回路と出力側ノードとを電氣的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができるとともに、出力を停止させなければならない無効期間を低減することができる。

上記第2のノードに付設され、上記第1のスイッチによる第1のノードの電氣的变化を打ち消すための第5のスイッチング素子を介設した閉回路をさらに備え、上記第1のスイッチング素子の導通・非導通を切り換えるときには上記第5のスイッチング素子を連動して逆向きに切り換えることにより、上述のように、演算器から安定した基準電圧を出力させることができる。

上記2つのバッファ回路のうち一方のバッファ回路が上記出力モードで他方の

バッファ回路が上記電荷蓄積モードの状態から、上記一方のバッファ回路が上記電荷蓄積モードで他方のバッファ回路が上記出力モードの状態に切り換える際には、上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えてから、上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えることにより、制御モードの切り換え時においても、オフセットされた基準電圧が出力側ノードに出力されるのを確実に防止することができる。

その際、上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えるときには、上記第4のスイッチング素子を非導通状態に切り換えた後、上記第3のスイッチング素子を非導通状態に切り換え、上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えるときには、上記第3スイッチング素子を導通状態に切り換えた後、上記第4のスイッチング素子を導通状態に切り換えることができる。

#### 図面の簡単な説明

図1は、本発明の各実施形態における液晶モジュールの平面図である。

図2は、第1の実施形態における第1のタイプのソースドライバの構成を概略的に示すブロック回路図である。

図3は、第1の実施形態における第1のタイプのソースドライバの基準電圧生成用抵抗部の構成を示す電気回路図である。

図4(a), (b), (c)は、第1の実施形態におけるオフセットキャンセル機能を有する基準電圧生成バッファの構成と、そのスイッチの開閉制御とを示す電気回路図である。

図5は、第2の実施形態の基準電圧生成バッファの構成を示す電気回路図である。

図6(a), (b)は、第2の実施形態の基準電圧生成バッファの各スイッチの開閉を制御する手順及びその変形例を示すタイミングチャートである。

図7は、第3の実施形態における第2のタイプのソースドライバの構成を概略的に示すブロック回路図である。

図 8 は、第 3 の実施形態の正側基準電圧生成用抵抗部と負側基準電圧生成用抵抗部との構成を示す回路図である。

図 9 は、従来の液晶モジュールの平面図である。

図 10 は、従来の第 1 のタイプのソースドライバの構成を概略的に示すブロック回路図である。

図 11 は、従来の第 2 のタイプのソースドライバの構成を概略的に示すブロック回路図である。

### 最良の実施形態

#### －第 1 の実施形態－

図 1 は、本発明の各実施形態における液晶モジュール 90 の平面図である。同図に示すように、各実施形態における液晶モジュール 90 は、液晶パネル 1 と、液晶パネル 1 の液晶表示部 1a 中の液晶素子 2 を駆動させるための駆動回路とに分かれる。液晶パネル 1 の液晶表示部 1a には、液晶を挟む 1 対のガラス基板が設けられていて、図 1 に現れている一方のガラス基板（上方のガラス基板）と、図 1 には現れていない対向ガラス基板（下方のガラス基板）との間に、液晶素子 2 と TFT 3 とがマトリクス状に配置されている。液晶素子 2 は、例えば上方のガラス基板の下面に形成された透明電極と、対向ガラス基板の上面に形成された対向透明電極の間に介在する液晶により構成されている。また、TFT 3 は、上方のガラス基板の下面において透明電極に接続されて、透明電極の電圧を制御するためのトランジスタである。また、図 1 には、示されていないが、カラーフィルタ、下方のガラス基板、対向透明電極、偏光フィルタなどが設けられていて、下方に光の照射部等が設けられている。上記 1 対のガラス基板、液晶、各透明電極、TFT、カラーフィルタ、偏光フィルタ等により液晶パネル 1 が構成されている。

また、駆動回路は、各 TFT 3 のソースの電圧を制御するための複数の（本実施形態においては 8 個の）ソースドライバ 4 と、各 TFT 3 のゲートの電圧を制御するためのゲートドライバ 5 と、ソースドライバ 4 及びゲートドライバ 5 とに供給する電圧信号や制御信号を生成するための電圧生成・制御用回路 20 とを備

えている。また、液晶モジュール 90 は、電圧生成・制御用回路 20 とソースドライバ 4 との間に設けられた第 1 配線用基板 10 と、電圧生成・制御回路 20 とゲートドライバ 5 との間に設けられた第 2 配線用基板 12 とを備えている。第 1 配線用基板 10 と各ソースドライバ 4 とはフレキシブル配線 11 を介して接続され、第 2 配線用基板 12 と各ゲートドライバ 5 とはフレキシブル配線 13 を介して接続されている。駆動回路のうち各ソースドライバ 4 と各ゲートドライバ 5 とは、液晶パネル 1 のガラス基板の上に配置されている。すなわち、いわゆる COG (Chip On Glass) タイプの構造となっている。各ソースドライバ 4 は、例えば 8 個の LSI チップとして個別に設けられている。

そして、液晶パネル 1 において、駆動回路の各ソースドライバ 4 から図 1 に示す列 (コラム) に沿って液晶表示部 1a まで多数のデータ線 6 が延びており、各データ線 6 は各 TFT 3 のソースに接続されている。また、ゲートドライバ 5 から図 1 に示す行 (ロウ) に沿って液晶表示部 1a まで多数のゲート線 7 が延びており、各ゲート線 7 は各 TFT 3 のゲートに接続されている。

ここで、本実施形態の特徴は、基準電圧配線がフレキシブル配線 11 中には含まれておらず、別に電圧生成・制御用回路 20 と 1 つのソースドライバ 4 との間に、導出側の基準電圧配線 15 が設けられ、さらに、各ソースドライバ 4 間には、それぞれ抵抗値が数 100  $\Omega$  程度の導体線からなるチップ間基準電圧配線 16 (パネル上基準電圧配線) が設けられ、後述するように、各ソースドライバ 4 内には各チップ間基準電圧配線 16 とで 1 つの連続した配線となるように形成されたチップ内基準電圧配線が複数個 (本実施形態においては 10 本) 設けられている点である。そして、フレキシブル配線 11 には、データ供給用の配線、ソースドライバ 4 内の回路を制御するための信号を供給する配線、各回路のトランジスタ駆動用電圧を供給する配線などだけが含まれている。

図 2 は、第 1 の実施形態における第 1 のタイプのソースドライバ 4A の構成を概略的に示すブロック回路図である。同図に示すように、LSI チップにより構成されるソースドライバ 4A 内には、それぞれ抵抗値が数  $\Omega$  ~ 数 100  $\Omega$  の導体線からなる 10 本のチップ内基準電圧配線 17 が LSI チップの端部から端部に亘って形成されており、各チップ内基準電圧配線 17 の両端部には、チップ間基

準電圧配線 16 を機械的に接続するための入力側パッド 18a と出力側パッド 18b とがそれぞれ設けられている。また、ソースドライバ 4A 内には、各基準電圧配線 17 からそれぞれ分岐する各分岐基準電圧配線 17a が設けられ、この分岐基準電圧配線 17a と同数の基準電圧生成バッファ 31 と、基準電圧生成バッファ 31 を制御するための制御回路 30 と、各基準電圧生成バッファ 31 の信号を受けて、基準電圧を  $n$  段階（例えば 64 段階）に細分化するための基準電圧生成用抵抗部 32 と、基準電圧生成用抵抗部 32 に接続される多数の電圧レベル選択回路 34 と、各電圧レベル選択回路 34 の後段側に配置された出力バッファ 35 とを備えている。

各電圧レベル選択回路 34 は、 $n$  本の信号線を介して基準電圧生成用抵抗部 32 から電圧信号を受けており、各電圧レベル選択回路 34 は、電圧選択制御信号  $S_{vs}$  の制御により、 $n$  本の信号線のうちいずれか 1 つの信号線から供給される電圧信号を通過させて、出力バッファ 35 を介してデータ線 6 に出力するものである。すなわち、電圧選択制御信号  $S_{vs}$  により、TFT 3 を経て液晶素子 2 を挟む 1 対の透明電極の間に印加される電圧を 64 段階のうちいずれか 1 つに制御することにより、当該液晶素子 2 を通過した光の明度が制御される。また、1 つのソースドライバ 4A 内において、電圧レベル選択回路 34 は、カラー表示の場合には例えば 384 個ずつ配置されている。

図 3 は、基準電圧生成用抵抗部 32 の構成を示す電気回路図である。同図に示すように、基準電圧生成用抵抗部 32 は、 $(n-1)$  個（この例では 63 個）の抵抗体  $R_1 \sim R_{63}$  を直列に接続して構成されている。そして、各分岐基準電圧配線 17a から 10 段階に分けられた基準電圧  $V_{REF0} \sim V_{REF9}$  が入力されると、各抵抗体  $R_1 \sim R_{63}$  間のノードから、64 段階に細分化された電圧信号  $V_0 \sim V_{63}$  を出力するように構成されている。

図 9 に示す従来の液晶モジュール 100 では、第 1 配線用基板 110 に基準電圧配線を含む多くの配線を搭載し、フレキシブル配線 111 を介して基準電圧をソースドライバ 104 に供給していたが、図 1 ～ 図 3 に示す本実施形態の液晶モジュール 90 においては、基準電圧は電圧生成・制御用回路 20 から、各基準電圧配線 15, 16, 17 を介して各ソースドライバ 4 に供給されるので、第 1 配

線用基板 10 には基準電圧を供給するための配線を搭載する必要がなく、その分、第 1 配線用基板 10 の構造を簡素化できる。すなわち、従来多数の基板を積層して構成していた第 1 配線用基板の構造を簡素化することにより、液晶モジュール 90 の小型化とトータルコストの低減とを図ることができる。

ここで、上述のように、従来の液晶モジュール 100 における第 1 配線用基板 110 中の基準電圧供給配線 131 の抵抗値は数  $\Omega$  程度であるのに対し、本実施形態の液晶モジュール 90 における基準電圧配線 15, チップ内基準電圧配線 17 及びチップ間基準電圧配線 16 の抵抗値は数  $\Omega$  ~ 数 100  $\Omega$  である。したがって、ソースドライバ 4 が電圧生成・制御用回路 20 から離れるほどソースドライバ 4 が受ける基準電圧は大きな電圧降下を生じるおそれがある。

そこで、本実施形態においては、基準電圧生成バッファ 31 を、各ソースドライバ 4 内の基準電圧生成用抵抗部 32 の直前位置に配置することで、基準電圧配線を通して基準電圧生成抵抗に流入・流出する電流がなくなり、各基準電圧配線 15, 16, 17, 17a の抵抗が数 100  $\Omega$  でも電圧降下を抑制するようにしている。

さらに、この基準電圧生成バッファ 31 における入力電圧と出力電圧の差（オフセット電圧）をできるだけ低減するための手段も講じている。その点について、以下に説明する。

図 4 (a), (b), (c) は、本実施形態におけるオフセットキャンセル機能を有する基準電圧生成バッファ 31A の構成と、そのスイッチの開閉制御とを示す電気回路図である。

図 4 (a) に示されるように、この基準電圧生成バッファ 31A は、演算増幅器 OPa と、キャパシタ Coff と、4 つのスイッチ SWa1, SWa2, SWb1, SWb2 とを備えている。演算増幅器 OPa の非反転入力端子は、入力側ノード N0 を介して入力側の信号線である分岐基準電圧配線 17a に接続されている。演算増幅器 OPa の反転入力端子はノード N2 を介してキャパシタ Coff の一方の電極に接続されている。また、キャパシタ Coff の他方の電極はノード N1 に接続され、さらに、ノード N1 とノード N0 との間にスイッチ Sa2 が介設されている。ノード N2 にはスイッチ SWb1 を介設した閉回路が付設されている。演算増幅器 OPa



の出力側端子はノードN3に接続されており、ノードN3とノードN2との間にスイッチSWa1が介設され、ノードN3とノードN1との間にスイッチSWb2がそれぞれ介設されている。そして、スイッチSWa1, SWa2は制御回路30から出力される制御信号Saにより開閉制御され、スイッチSWb1, SWb2は制御回路30から出力される制御信号Sb（制御信号Saとは異なる制御信号）により開閉制御される。各スイッチSWa1, SWa2, SWb1, SWb2は、通常MOSトランジスタによって構成されている。スイッチSWb1はスイッチSWa1とオン・オフ動作を反転させて、スイッチSWa1の寄生容量をキャンセルする動作補償用のものである。

ここで、基準電圧生成バッファ31Aにおいて、演算増幅器OPaが介在することで、入力側ノードN0からノードN3に電流が流入することはない。また、一般的な演算増幅器は、2つの入力端子から受ける電圧の差分を増幅する差分増幅器として機能するものであるが、本実施形態における演算増幅器OPaは、出力電圧を一方の入力電圧としてフィードバックする負帰還型の構造となっており、このような演算増幅器OPaは、出力電圧Voutが入力電圧Vinに等しくなるように動作する。ただし、演算増幅器OPaを設けただけでは、その入力側ノードN0と出力側のノードN3との間に、ある程度の電位差つまりオフセット電圧Voffが発生する。そこで、キャパシタCoffを設けることにより、オフセット電圧Voffをキャンセルするようにしている。

この基準電圧生成バッファ31Aにおける動作について、図4(b), (c)を参照しながら説明する。まず、図4(b)に示すように、スイッチSWa1, SWa2を閉じて（オン状態）、スイッチSWb1, SWb2を開く（オフ状態）。このとき、ノードN1の電圧は入力信号Vinの電圧値になり、ノードN2の電圧は入力信号Vinの電圧値と演算増幅器OPaのオフセット電圧Voffとを加算した電圧値（ $V_{in} + V_{off}$ ）になる。したがって、ノードN1-N2間に介在するキャパシタCoffには、演算増幅器OPaのオフセット電圧Voffに相当する電荷が蓄積される。

次に、図4(c)に示すように、キャパシタCoffに蓄積された電荷を放出しないように、スイッチSWa1, SWa2を開き（オフ状態）、スイッチSWb1, S

Wb2を閉じる（オン状態）。すると、オフセット電圧  $V_{off}$  をキャンセルした電圧が出力電圧  $V_{out}$  として出力される。これにより、入力信号  $V_{in}$  の電圧値にほぼ等しい電圧を出力することができる。その後、図4（b）に示す接続状態と、図4（c）に示す接続状態とを一定の時間間隔毎に（1クロックサイクル毎とは限らない）交互に切り換えて、オフセットキャンセル機能を果たしていく。

このようなオフセットキャンセル機能を付加した基準電圧生成バッファ31Aを設けることにより、基準電圧配線17から細分化される前の基準電圧として高精度の電圧値を基準電圧生成抵抗部32に供給することができ、ひいては、各液晶素子2に印加される制御用電圧値のばらつきを抑制することができる。

#### －第2の実施形態－

上記第1の実施形態における図4（a）に示すオフセットキャンセル機能を有する基準電圧生成バッファ31Aにおいては、基準電圧配線から供給される基準電圧値は、図4（b）に示す状態では、ノードN3の電圧は  $(V_{in} + V_{off})$  となっており、オフセットされた基準電圧が出力されることになる。ところが、キャパシタ  $C_{off}$  にオフセット電圧  $V_{off}$  が充電されるまで図4（b）の状態を保持する必要があるため、この期間が長くなると、オフセットキャンセルされた電圧値が基準電圧として基準電圧生成抵抗部32に供給される期間が短くなるので、今後の低電圧化、高精細化に対応できなくなるおそれがある。

そこで、本実施形態では、より確実にオフセットキャンセルを実現できる基準電圧生成バッファを設けた例について説明する。本実施形態においても、第1の実施形態における液晶モジュール90、ソースドライバ4、基準電圧生成抵抗部32（図1～図3参照）の基本構成をそのまま採用するものとする。

図5は、本実施形態の基準電圧生成バッファ31Bの構成を示す電気回路図である。本実施形態における基準電圧生成バッファ31Bは、演算増幅器OPaと、キャパシタ  $C_{off}$  と、5つのスイッチSWa1, SWa2, SWb1, SWb2, SWcとを備えた第1バッファ回路31Baと、演算増幅器OPaと、キャパシタ  $C_{off}$  と、5つのスイッチSWa1, SWa2, SWb1, SWb2, SWdとを備えた第2バッファ回路31Bbとを備えている。第1バッファ回路31Baにおいて、演算増幅器OPaの非反転入力端子は、入力側のノードN0を介して入力側の信号線である分

岐基準電圧配線 17a に接続されている。演算増幅器 OPa の反転入力端子はノード N2a を介してキャパシタ C<sub>off</sub> の一方の電極に接続されている。また、キャパシタ C<sub>off</sub> の他方の電極はノード N1a に接続され、さらに、ノード N1a とノード N0 との間にスイッチ S<sub>Wa2</sub> が介設されている。ノード N2a にはスイッチ S<sub>Wb1</sub> を介設した閉回路が付設されている。演算増幅器 OPa の出力側端子はノード N3a に接続されており、ノード N3a とノード N2a との間にスイッチ S<sub>Wa1</sub> が介設されている。さらに、基準信号出力部となる出力側ノード N4 とノード N3a との間にはスイッチ S<sub>Wc</sub> が、出力側ノード N4 とノード N1a との間にはスイッチ S<sub>Wb2</sub> がそれぞれ介設されている。また、制御回路 30 からは、各々異なる制御信号 S<sub>a</sub>, S<sub>b</sub>, S<sub>c</sub>, S<sub>d</sub> が出力される。

第 2 バッファ回路 31Bb は、第 1 バッファ回路 31Ba におけるスイッチ S<sub>Wc</sub> に代えてスイッチ S<sub>Wd</sub> を、スイッチ S<sub>Wa1</sub>, S<sub>Wa2</sub> に代えてスイッチ S<sub>Wb1</sub>, S<sub>Wb2</sub> を、スイッチ S<sub>Wb1</sub>, S<sub>Wb2</sub> に代えてスイッチ S<sub>Wa1</sub>, S<sub>Wa2</sub> を、ノード N1a, N2a, N3a に代えてノード N1b, N2b, N3b をそれぞれ配置した構成となっている。そして、第 1 バッファ回路 31Ba 及び第 2 バッファ回路 31Bb において、スイッチ S<sub>Wa1</sub>, S<sub>Wa2</sub> は制御回路 30 から出力される制御信号 S<sub>a</sub> により開閉制御され、スイッチ S<sub>Wb1</sub>, S<sub>Wb2</sub> は制御回路 30 から出力される制御信号 S<sub>b</sub> により開閉制御され、スイッチ S<sub>Wc</sub> は制御回路 30 から出力される制御信号 S<sub>c</sub> により開閉制御され、スイッチ S<sub>Wd</sub> は制御回路 30 から出力される制御信号 S<sub>d</sub> により開閉制御される。このように、第 1 バッファ回路 31Ba と第 2 バッファ回路 31Bb とは基本的に同じ回路構成を有していると考えてよい。つまり、スイッチ S<sub>W</sub> の開閉制御が逆になるだけである。

ここで、第 1 の実施形態においては、図 4 (a) に示すように、基準電圧生成バッファ 31A においてスイッチ S<sub>Wb2</sub> の出力側のノードと、スイッチ S<sub>Wa1</sub> の出力側のノードとが共通のノード (N3) となっていたが、図 5 に示す本実施形態の基準電圧生成バッファ 31B の各バッファ回路 31Ba, 31Bb においては、スイッチ S<sub>Wb2</sub>, S<sub>Wa2</sub> の出力側のノードは出力信号 V<sub>out</sub> を出力するための出力側ノード N4 に直接つながっており (共通化されており)、スイッチ S<sub>Wa1</sub>, S<sub>Wb1</sub> の出力側のノードは演算増幅器 OPa の出力側とスイッチ S<sub>Wc</sub>, S<sub>Wd</sub> と

の間のノード N3a, N3bにそれぞれ直接つながっている（共通化されている）。

図6（a）は、本実施形態の基準電圧生成バッファ31Bの各スイッチの開閉を制御する手順を示すタイミングチャートである。まず、タイミング $t_0$ では、制御信号 $S_a$ ,  $S_d$ がハイレベルに制御信号 $S_b$ ,  $S_c$ がロウレベルになることで、スイッチ $SWa1$ ,  $SWa2$ ,  $SWd$ が閉じ（オン状態）、スイッチ $SWb1$ ,  $SWb2$ ,  $SWc$ が開いている（オフ状態）。したがって、第1バッファ回路31Baは出力側ノードN4と遮断された状態となり、第2バッファ回路31BbのノードN3bから、基準信号出力部である出力側ノードN4に基準電圧が出力される。このとき、第2バッファ回路31Bbは図4（c）に示す接続状態と実質的に同じ接続状態となっているので、すでに説明したように、出力側ノードN4からはオフセットキャンセルされた基準電圧が出力される。一方、第1バッファ回路31Baは図4（b）に示す接続状態と実質的に同じ接続状態になっており、キャパシタ $C_{off}$ にオフセット電圧 $V_{off}$ を充電している状態である。

次に、タイミング $t_1$ で、それまでの状態から制御信号 $S_d$ のみがロウレベルとなり、スイッチ $SWd$ が開く（オフ状態）。その後、タイミング $t_2$ で、制御信号 $S_a$ がロウレベルになるので、スイッチ $SWa1$ ,  $SWa2$ が開いて（オフ状態）、第2バッファ回路31Bbと出力側ノードN4とは互いに遮断された状態になる。一方、第1バッファ回路31Baのスイッチ $SWb2$ 及び $SWc$ は開いたままであるので、第1バッファ回路31Baと出力側ノードN4とも互いに遮断された状態になっている。

その後、タイミング $t_3$ で、制御信号 $S_b$ がハイレベルになり、スイッチ $SWb1$ ,  $SWb2$ が閉じ（オン状態）、さらに、タイミング $t_4$ で、制御信号 $S_c$ がハイレベルになって、スイッチ $SWc$ が閉じる（オン状態）と、第1バッファ回路31Baが図4（c）に示す状態になり、出力側ノードN4にはオフセットキャンセルされた基準電圧が出力される。一方、第2バッファ回路31Bbでは、スイッチ $SWb1$ ,  $SWb2$ が閉じることでキャパシタ $C_{off}$ が充電状態になるが、スイッチ $SWa2$ ,  $SWd$ が開いているので、第2バッファ回路31Bbは出力側ノードN4とは遮断された状態になっている。

したがって、タイミング $t_1 \sim t_4$ の間において、出力信号 $V_{out}$ としてオフ

セット電圧  $V_{off}$  を含む出力電圧 ( $V_{in} + V_{off}$ ) が基準電圧生成用抵抗部 3 2 に出力されることはなく、数クロックサイクルの期間以外はオフセットキャンセルされた基準電圧のみを供給することが可能になる。

その後、タイミング  $t_5 \sim t_7$  において、上述のタイミング  $t_1 \sim t_4$  の制御とは逆の順序で各スイッチ  $SW$  の開閉制御が行なわれる。すなわち、第 1 バッファ回路 3 1 Ba 及び第 2 バッファ回路 3 1 Bb と、出力側ノード  $N_4$  とを遮断した状態にしてから、第 1 バッファ回路 3 1 Ba を充電状態に切り換え、オフセットキャンセルされた基準電圧を第 2 バッファ回路 3 1 Bb から出力側ノード  $N_4$  に出力するように切り換えるのである。

一方、タイミング  $t_2 - t_3$  間やタイミング  $t_6 - t_7$  間においては、いずれの基準電圧生成バッファ 3 1 B のバッファ回路 3 1 Ba, 3 1 Bb から生成信号が出力されないが、この無効期間は数クロック周期程度である。

本実施形態においては、上記第 1 の実施形態の効果に加えて、オフセットキャンセル機能をより確実に得ることができる。つまり、構造上、単一のオフセットキャンセル機能付きバッファ回路においては、オフセットキャンセルを実現するための充電期間の間はオフセット電圧を含む出力電圧を出力するか、その間出力を停止させるようにする必要がある。そのため、基準電圧が出力されない無効期間が長くなるおそれがある。

それに対し、本実施形態においては、一方の生成回路 3 1 Ba (又は 3 1 Bb) が充電している間に、他方の生成回路 3 1 Bb (又は 3 1 Ba) がオフセットキャンセルされた基準電圧を出力するように動作させることにより、無効期間を数クロック周期程度に抑制しつつ、オフセットキャンセルされた基準電圧のみを出力することができる。

図 6 (b) は、図 6 (a) に示すタイミング  $t_1$ ,  $t_2$  を同じタイミングとし、タイミング  $t_3$ ,  $t_4$  を同じタイミングにした本実施形態の変形例に係るタイミングチャートである。この変形例では、本実施形態と同様の効果を発揮でき、かつ、第 1 バッファ回路 3 1 a と第 2 バッファ回路 3 1 b との充電－出力状態の切り換えに要する時間を図 6 (a) に示すタイミングチャートよりも短縮できる利点がある。

### －第 3 の実施形態－

本実施形態においては、第 2 のタイプのソースドライバを有する液晶モジュールについて説明する。

図 7 は、本実施形態における第 2 のタイプのソースドライバ 4 B の構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ 4 B 内には、対向透明電極に印加される中間電圧よりも高電位の基準電圧を受ける正側基準電圧生成用抵抗部 3 2 a と、対向透明電極に印加される中間電圧よりも低電位の基準電圧を受ける負側基準電圧生成部 3 2 b とが設けられていて、各電圧レベル選択回路 3 4 は、正側基準電圧生成抵抗部 3 2 a の出力を受ける正側電圧レベル選択回路 3 4 a と、負側基準電圧生成抵抗部 3 2 b の出力を受ける負側電圧レベル選択回路 3 4 b とに分けられ、正側電圧レベル選択回路 3 4 a と負側電圧レベル選択回路 3 4 b とが交互に配置されている。そして、正側電圧レベル選択回路 3 4 a と負側電圧レベル選択回路 3 4 b との出力を受けるセクタ 3 6 により、セクタ制御信号  $S_{se}$  に応じて、正側電圧レベル選択回路 3 4 a の出力と負側電圧レベル選択回路 3 4 b の出力とを交互に切り換えて、両者の出力側に配置される出力バッファ 3 5、3 5 に供給するように制御される。つまり、相隣接する 2 つの出力バッファ 3 5、3 5 からは、一定の時間間隔で交互に高低切り換わる電圧信号が出力されることになる。すなわち、相隣接するデータ線 6 に接続される液晶素子 2 には、常に正負逆の電圧が印加された状態となり、かつ、その状態が一定の時間間隔で逆転することになる。このように、第 2 のタイプの液晶モジュールに配置されるソースドライバ 4 B においては、相隣接するデータ線 6 の電圧を交互に高低切り換えることにより、1 つの液晶素子 2 に印加される電圧を一定の時間間隔で正負切り換えるように構成されている。

また、図 8 は、本実施形態の正側基準電圧生成用抵抗部 3 2 a と、負側基準電圧生成用抵抗部 3 2 b との構成を示す回路図である。同図に示すように、正側基準電圧生成用抵抗部 3 2 a は、 $(n-1)$  個（この例では 63 個）の抵抗体  $R_1 \sim R_{63}$  を直列に接続して構成されている。そして、各分岐基準電圧配線 1 7 a から 5 段階に分けられた基準電圧  $V_{REF0} \sim V_{REF4}$  が入力されると、各抵抗体  $R_1 \sim R_{63}$  間のノードから、64 段階に細分化された電圧信号  $V_0 \sim V_6$

3を出力するように構成されている。負側基準電圧生成用抵抗部32bは、 $(n-1)$ 個（この例では63個）の抵抗体R65～R127を直列に接続して構成されている。そして、各分岐基準電圧配線17aから5段階に分けられた基準電圧VREF5～VREF9が入力されると、各抵抗体R65～R127間のノードから、64段階に細分化された電圧信号V65～V127を出力するように構成されている。

本実施形態においては、基準電圧生成バッファ31の構成として、第1の実施形態を採用してもよいし、第2の実施形態を採用してもよい。そして、本実施形態の液晶モジュールにおいても、第1の実施形態と同様に、基準電圧は電圧生成・制御用回路20から、各基準電圧配線15, 16, 17, 17aを介して各ソースドライバ4に供給されるので、第1配線用基板10には基準電圧を供給するための配線を搭載する必要がなく、その分、第1配線用基板10の構造を簡素化できる。すなわち、従来多数の基板を積層して構成していた第2配線用基板の構造を簡素化することにより、液晶モジュールの小型化とトータルコストの低減とを図ることができる。

また、上記図4(a)又は図5に示すような基準電圧生成バッファ31A（又は31B）を、各ソースドライバ4内の正又は負側の基準電圧生成用抵抗部32a, 32bの直前位置に配置することで、電圧降下による各液晶素子2に印加される電圧値の変動を抑制することができる。

本発明によると、ソースドライバとして機能する半導体集積回路装置を液晶パネル上で直列に接続する基準電圧配線を設け、ソースドライバ内の基準電圧の電圧降下を回避する手段を講じたので、小型化されトータルコストの安価な液晶モジュールに用いるのに適した液晶駆動回路、半導体集積回路装置、基準電圧バッファ回路及びその制御方法を提供することができる。

### 産業上の利用可能性

本発明の液晶駆動回路、半導体集積回路装置、基準電圧バッファ回路及びその制御方法は、パーソナルコンピュータ、テレビジョン、ビデオデッキ、ゲーム機など各種の電気機器の表示装置に利用することができる。

## 請求の範囲

1. 液晶素子を駆動するための複数のソースドライバ回路装置を液晶パネル上に配置してなる液晶駆動回路において、

上記液晶素子を駆動するための複数の基準電圧を生成する基準電圧生成回路と、

上記基準電圧生成回路で生成された上記複数の基準電圧を上記各ソースドライバ回路装置に供給するための基準電圧配線であって、上記液晶パネル上と上記各ソースドライバ回路装置上とを通過して延びる複数の基準電圧配線を備えていることを特徴とする液晶駆動回路。

2. 請求項1の液晶駆動回路において、

上記ソースドライバ回路装置は、

上記ソースドライバ回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、

上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、

上記複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、

上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子の駆動用電圧として選択する選択回路と

を備えていることを特徴とする液晶駆動回路。

3. 液晶モジュール内に配置され、液晶素子を駆動するためのソースドライバ回路を搭載した半導体集積回路装置において、

上記ソースドライバ回路は、

上記半導体集積回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、

上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線



と、

上記複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、

上記複数のバッファから供給される基準電圧のうちいずれか 1 つを上記液晶素子駆動用電圧として選択する選択回路と  
を備えている半導体集積回路装置。

4. 請求項 3 の半導体集積回路装置において、

上記各バッファの出力電圧を受けて、上記複数の基準電圧を細分化した細分化電圧を生成した後、上記選択回路に細分化電圧を出力する細分化電圧生成回路をさらに備え、

上記選択回路は、上記細分化電圧のうちいずれか 1 つを選択することを特徴とする半導体集積回路装置。

5. 請求項 3 又は 4 の半導体集積回路装置において、

上記バッファは、入力電圧と出力電圧との電位差を低減するオフセットキャンセル機能を有することを特徴とする半導体集積回路装置。

6. 請求項 5 の半導体集積回路装置において、

上記バッファは、

一方の端子に上記バッファへの入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第 1, 第 2 の電極を有し上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記演算器に入力電圧を導入するための入力側ノードと、

上記キャパシタの第 1 の電極に接続された第 1 のノードと、

上記キャパシタの第 2 の電極に接続された第 2 のノードと、

上記演算器の出力電圧を受ける第 3 のノードと、

上記第 2 のノードと上記第 3 のノードとの間に介設された第 1 のスイッチング

素子と、

上記第 1 のノードと上記演算器の入力側ノードとの間に介設された第 2 のスイッチング素子と、

上記第 1 のノードと上記第 3 のノードとの間に介設された第 3 のスイッチング素子と

により構成されていることを特徴とする半導体集積回路装置。

7. 請求項 6 の半導体集積回路装置において、

上記第 2 のノードに付設され、上記第 1 のスイッチング素子の切り換わりによる第 2 のノードの電気的変化を補償するための第 5 のスイッチング素子を介設した閉回路をさらに備えていることを特徴とする半導体集積回路装置。

8. 請求項 5 の半導体集積回路装置において、

上記バッファは、外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成されており、

上記各バッファ回路は、

一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第 1, 第 2 の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記キャパシタの第 1 の電極に接続された第 1 のノードと、

上記キャパシタの第 2 の電極に接続された第 2 のノードと、

上記演算器の出力信号を受ける第 3 のノードと、

上記第 2 のノードと上記第 3 のノードとの間に介設された第 1 のスイッチング素子と、

上記第 1 のノードと上記入力側ノードとの間に介設された第 2 のスイッチング素子と、

上記第 1 のノードと上記出力側ノードとの間に介設された第 3 のスイッチング

素子と、

上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子と

により構成されていることを特徴とする半導体集積回路装置。

9. 液晶モジュールの液晶素子を駆動するためのソースドライバ回路に配置される基準電圧バッファ回路であって、

外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成され、

上記各バッファ回路は、

一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第1, 第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記キャパシタの第1の電極に接続された第1のノードと、

上記キャパシタの第2の電極に接続された第2のノードと、

上記演算器の出力信号を受ける第3のノードと、

上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、

上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、

上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、

上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子と

により構成されていることを特徴とする基準電圧バッファ回路。

10. 請求項9の基準電圧バッファ回路において、

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的変化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えていることを特徴とする基準電圧バッファ回路。

11. 入力側ノードと出力側ノードとの間に、出力電圧を入力電圧に等しくするよう動作する演算器と、第1, 第2の電極を有するキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とをそれぞれ有する2つのバッファ回路を互いに並列に接続して構成される基準電圧バッファ回路の制御方法であって、

上記各バッファ回路において、当該バッファ回路から基準電圧を出力する出力モードのときには、上記第3及び第4のスイッチング素子を導通状態にして、上記第1及び第2のスイッチング素子を非導通状態にする一方、

当該バッファ回路のキャパシタに電荷を蓄積する電荷蓄積モードのときには、上記第3及び第4のスイッチング素子を非導通状態にして、上記第1及び第2のスイッチング素子を導通状態にすることを特徴とする基準電圧バッファ回路の制御方法。

12. 請求項11の基準電圧バッファ回路の制御方法において、

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的変化を打ち消すための第5のスイッチング素子を介設した閉回路をさらに備えており、

上記第1のスイッチング素子の導通・非導通を切り換えるときには上記第5のスイッチング素子を連動させて逆向きに切り換えることを特徴とする基準電圧バッファ回路の制御方法。

13. 請求項11又は12の基準電圧バッファ回路の制御方法において、

上記2つのバッファ回路のうち一方のバッファ回路が上記出力モードで他方のバッファ回路が上記電荷蓄積モードの状態から、上記一方のバッファ回路が上記電荷蓄積モードで他方のバッファ回路が上記出力モードの状態に切り換える際には、

上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えてから、上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えることを特徴とする基準電圧バッファ回路の制御方法。

14. 請求項13の基準電圧バッファ回路の制御方法において、

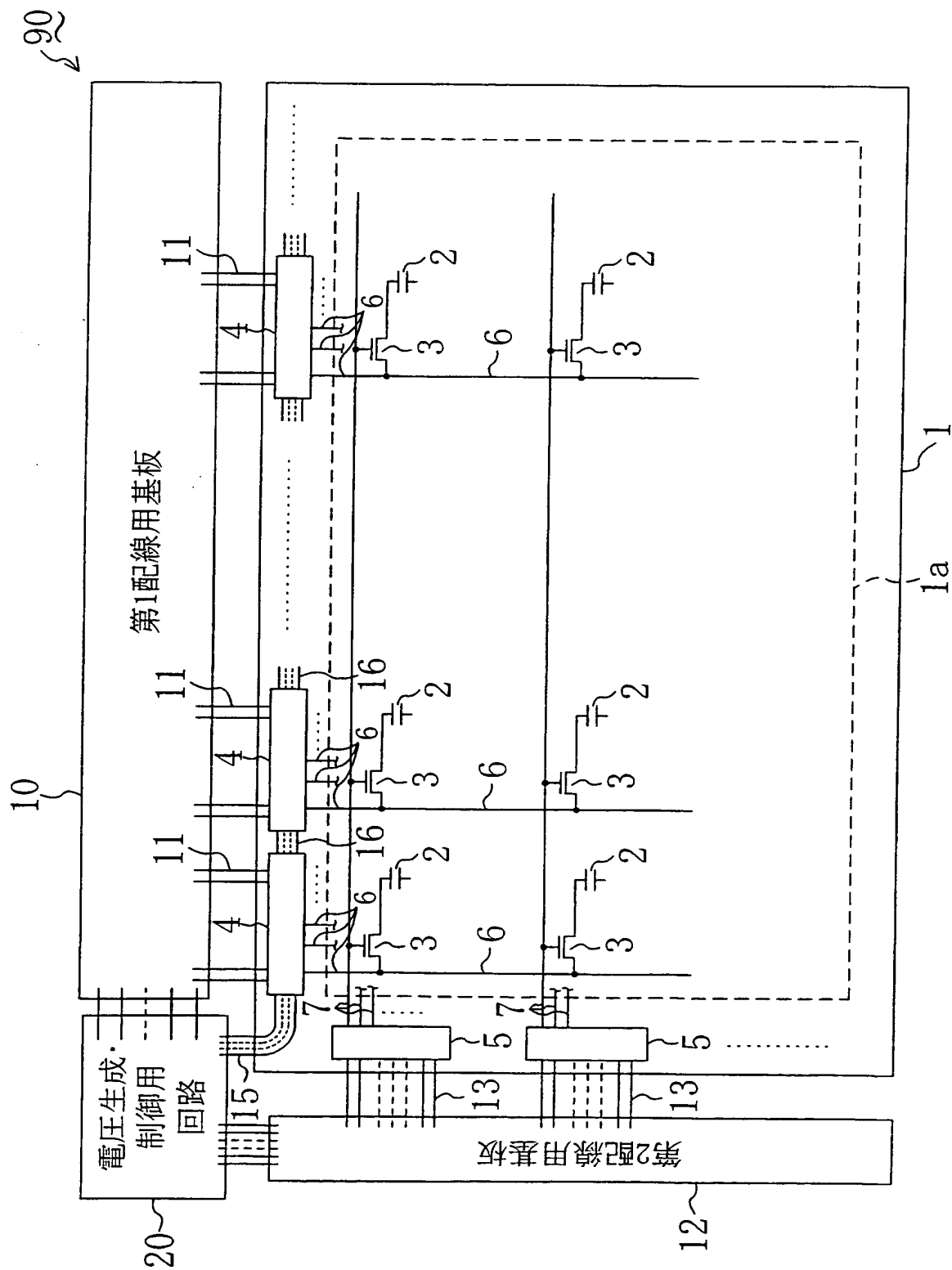
上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えるときには、上記第4のスイッチング素子を非導通状態に切り換えた後、上記第3のスイッチング素子を非導通状態に切り換え、

上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えるときには、上記第3のスイッチング素子を導通状態に切り換えた後、上記第4のスイッチング素子を導通状態に切り換えることを特徴とする基準電圧バッファ回路の制御方法。

Best Available Copy  
PAGE BLANK (USPTO)

PAGE BLANK (USPTO)

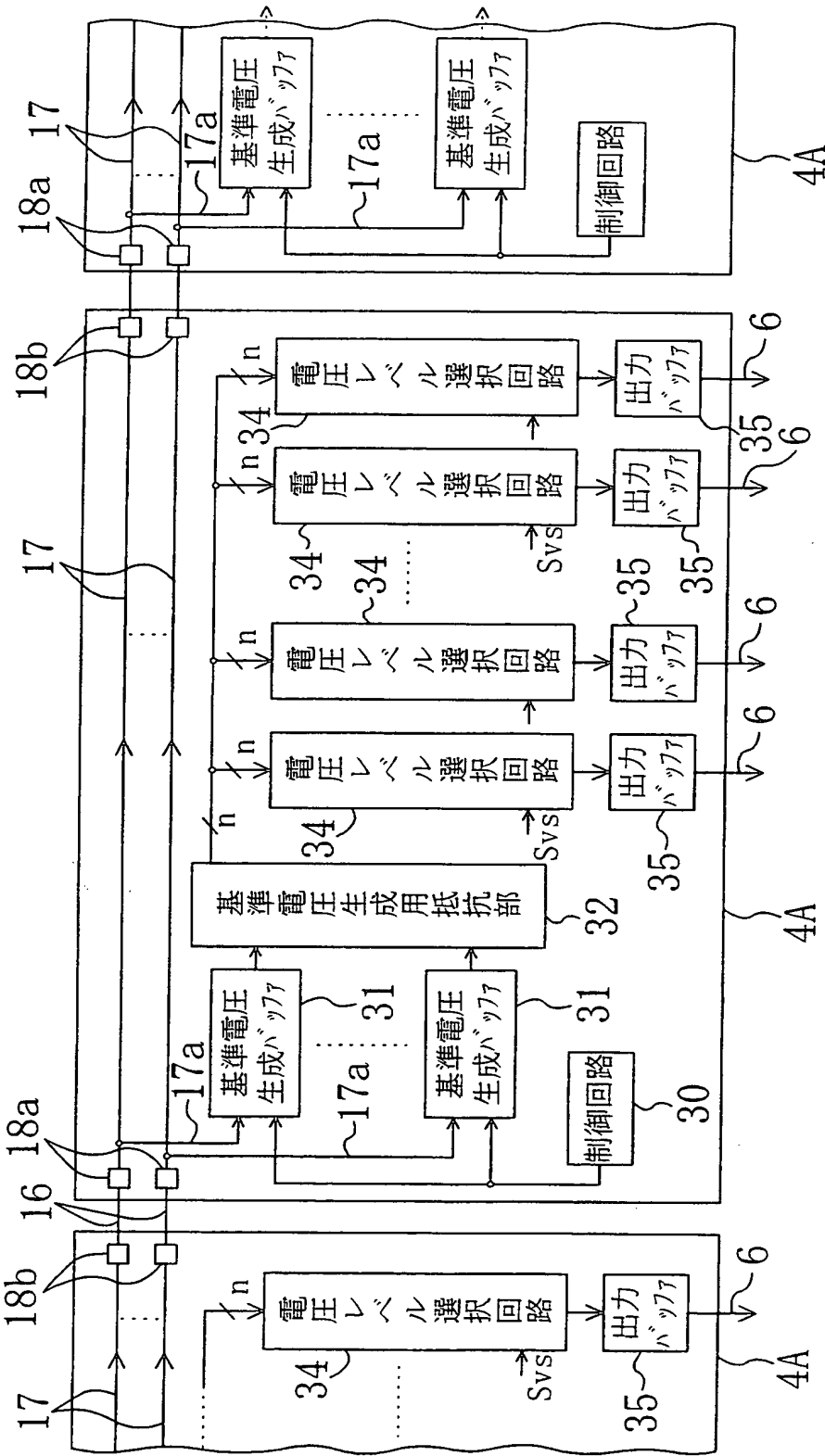
Fig. 1



**THIS PAGE BLANK (USPTO)**



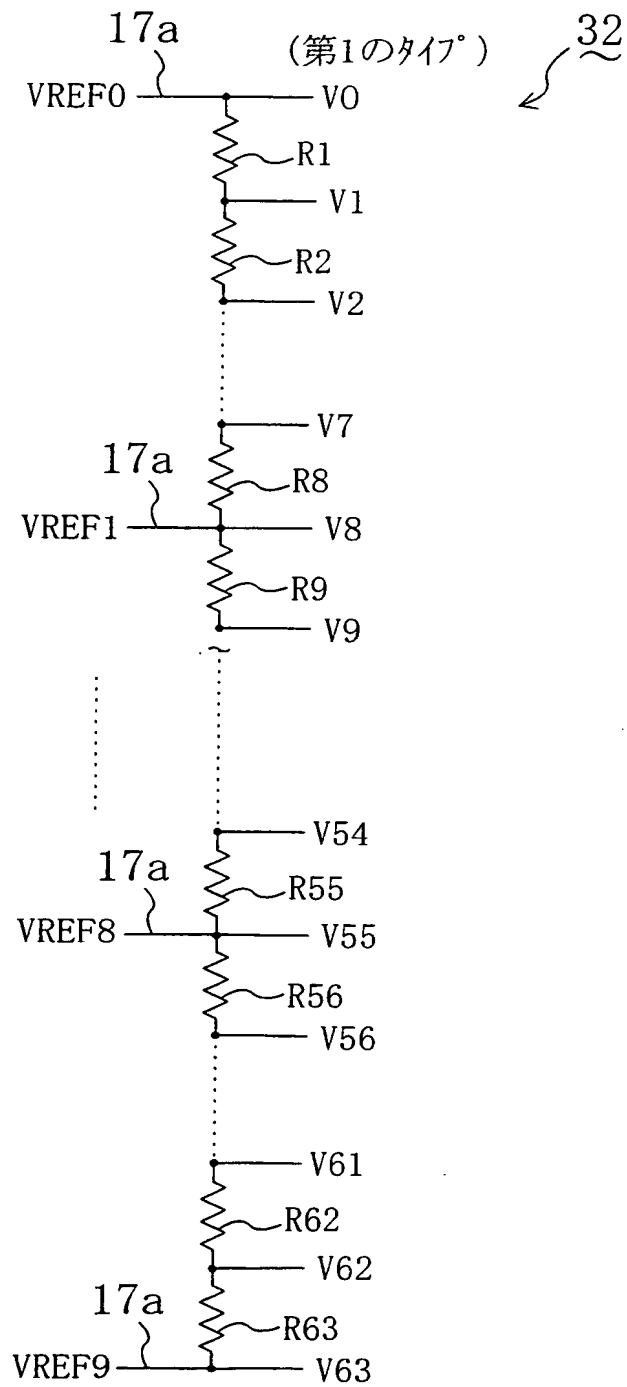
Fig. 2



**THIS PAGE BLANK (USPTO)**

3/11

Fig. 3



**THIS PAGE BLANK (USPTO)**

4/11

Fig. 4a

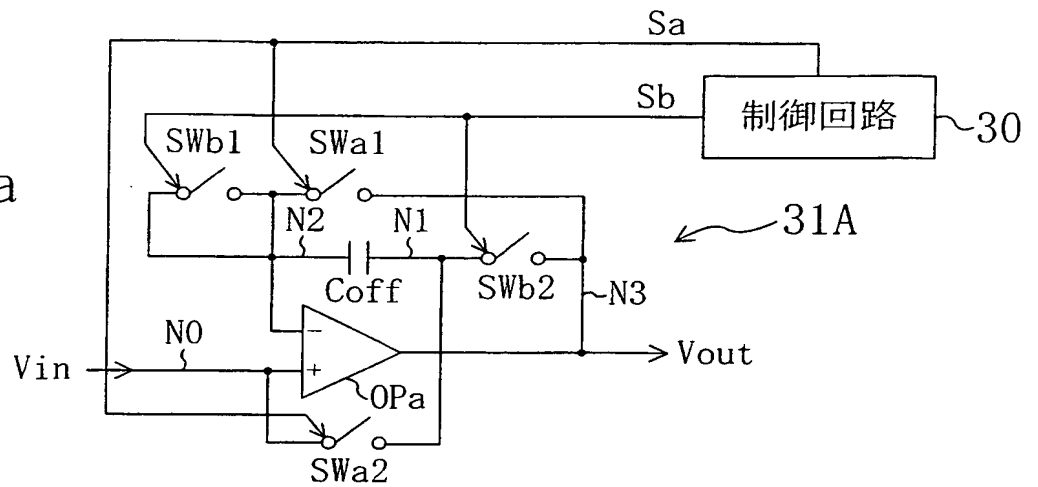


Fig. 4b

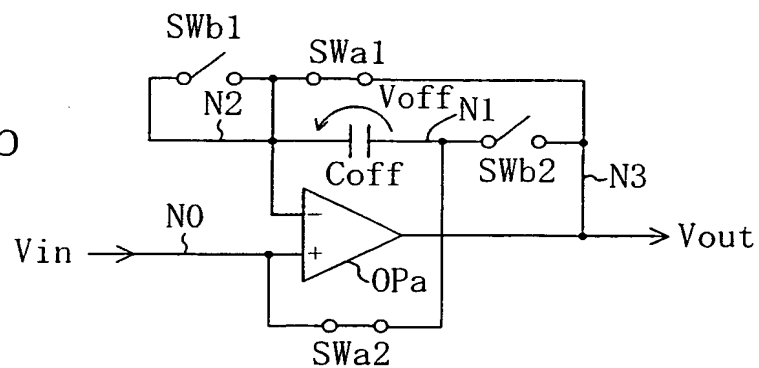
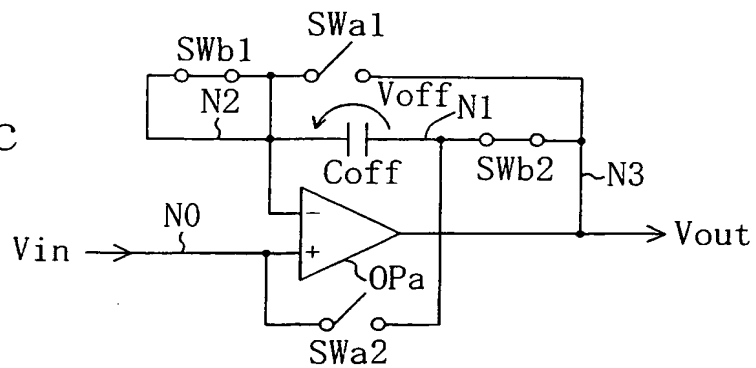


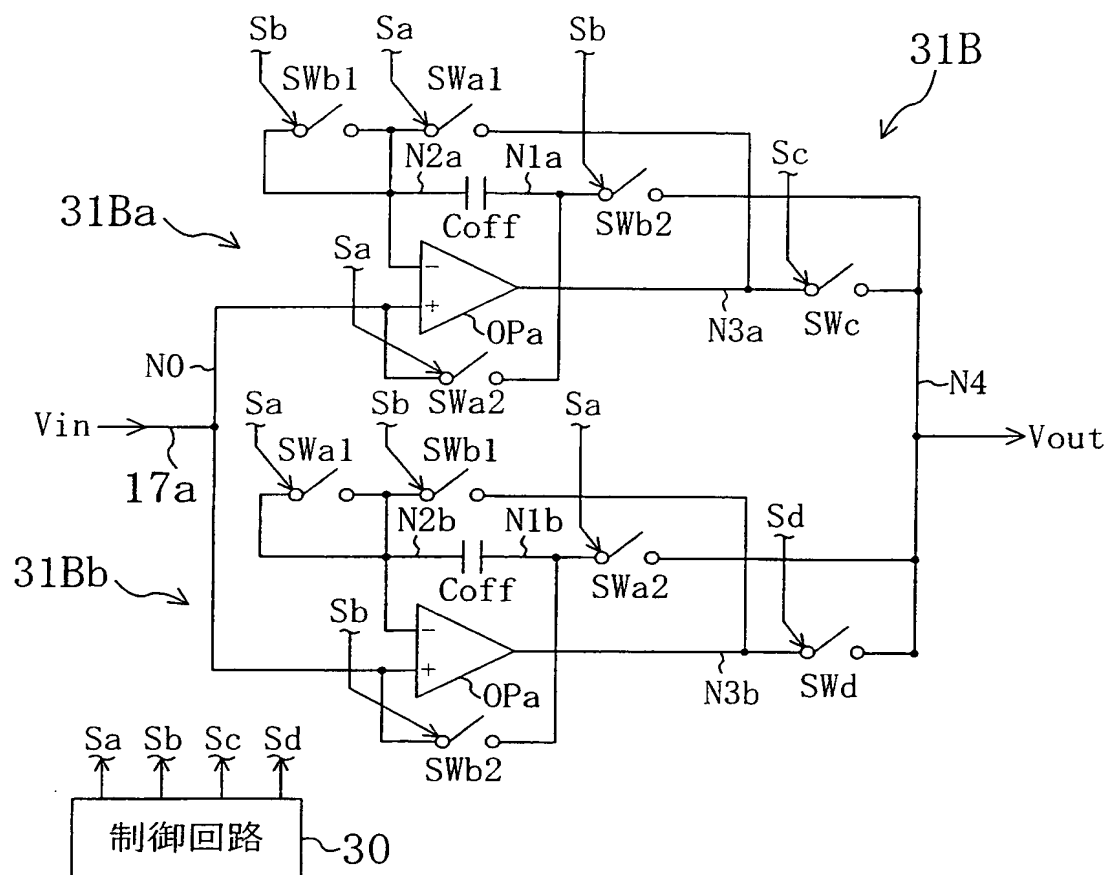
Fig. 4c



**THIS PAGE BLANK (USPTO)**

5/11

Fig. 5



**THIS PAGE BLANK (USPTO)**



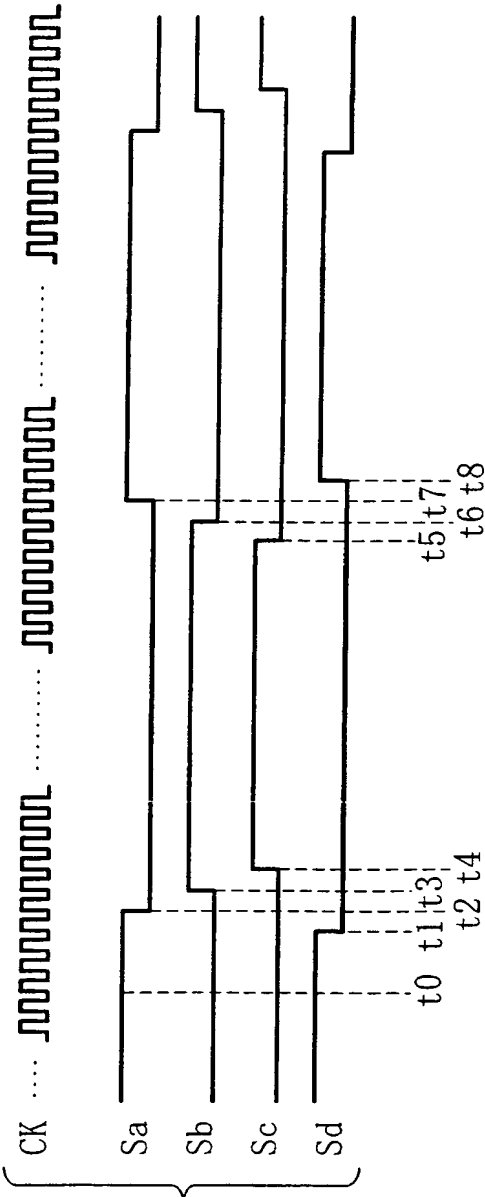


Fig. 6a

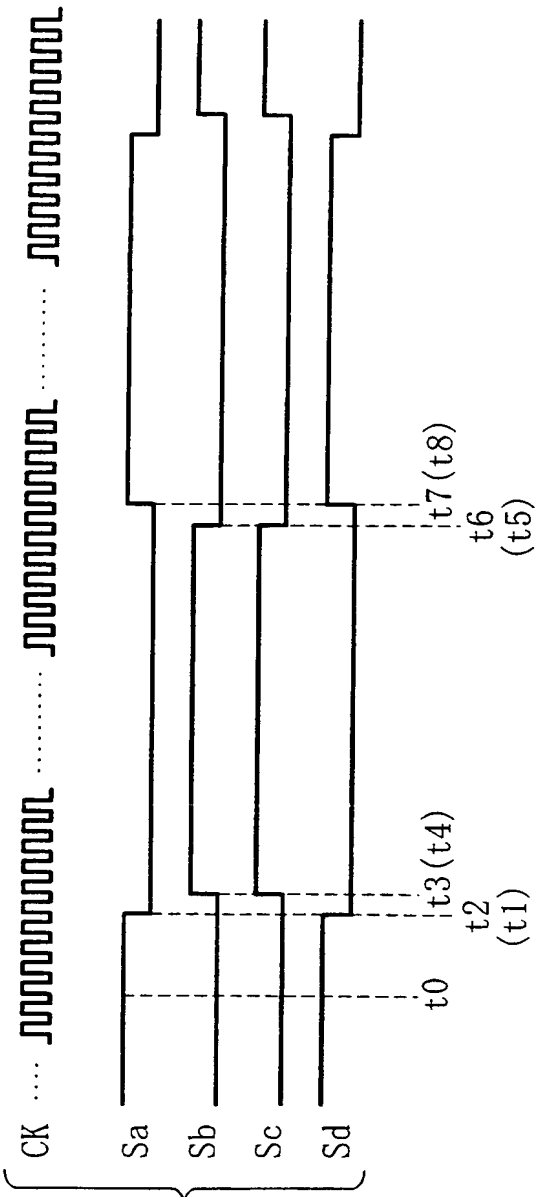
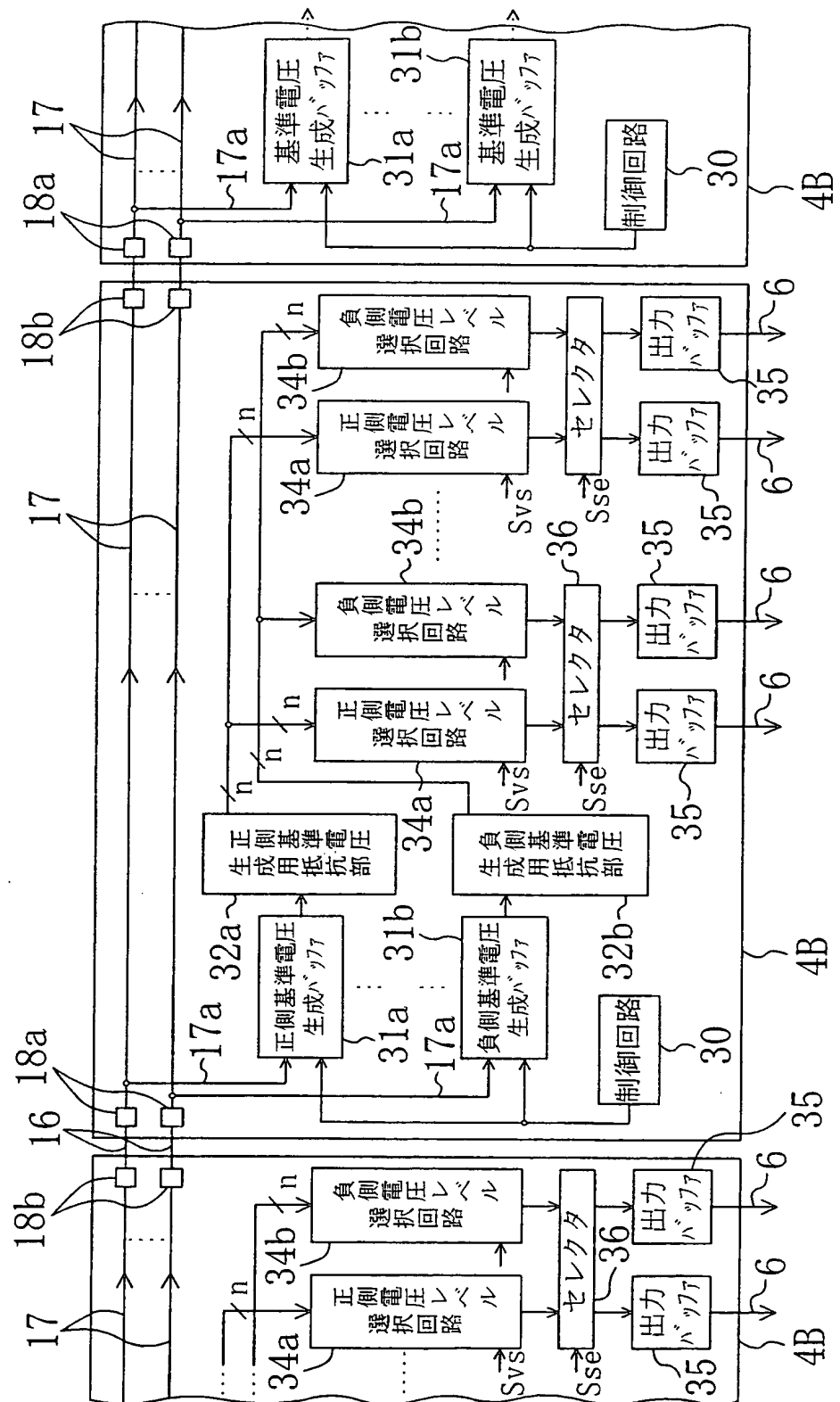


Fig. 6b

**THIS PAGE BLANK (USPTO)**

7/11

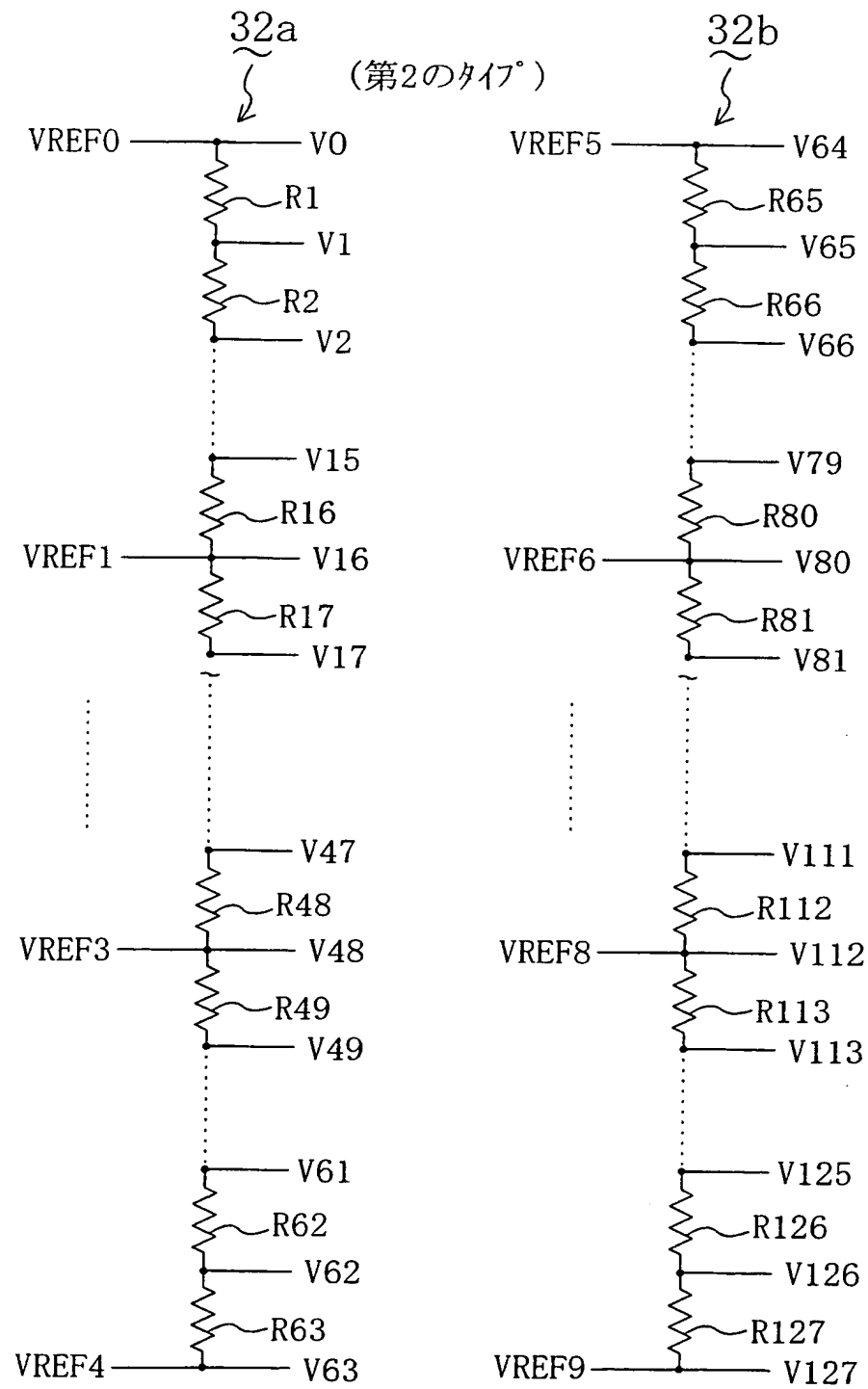
Fig. 7



**THIS PAGE BLANK (USPTO)**

8/11

Fig. 8



**THIS PAGE BLANK (USPTO)**

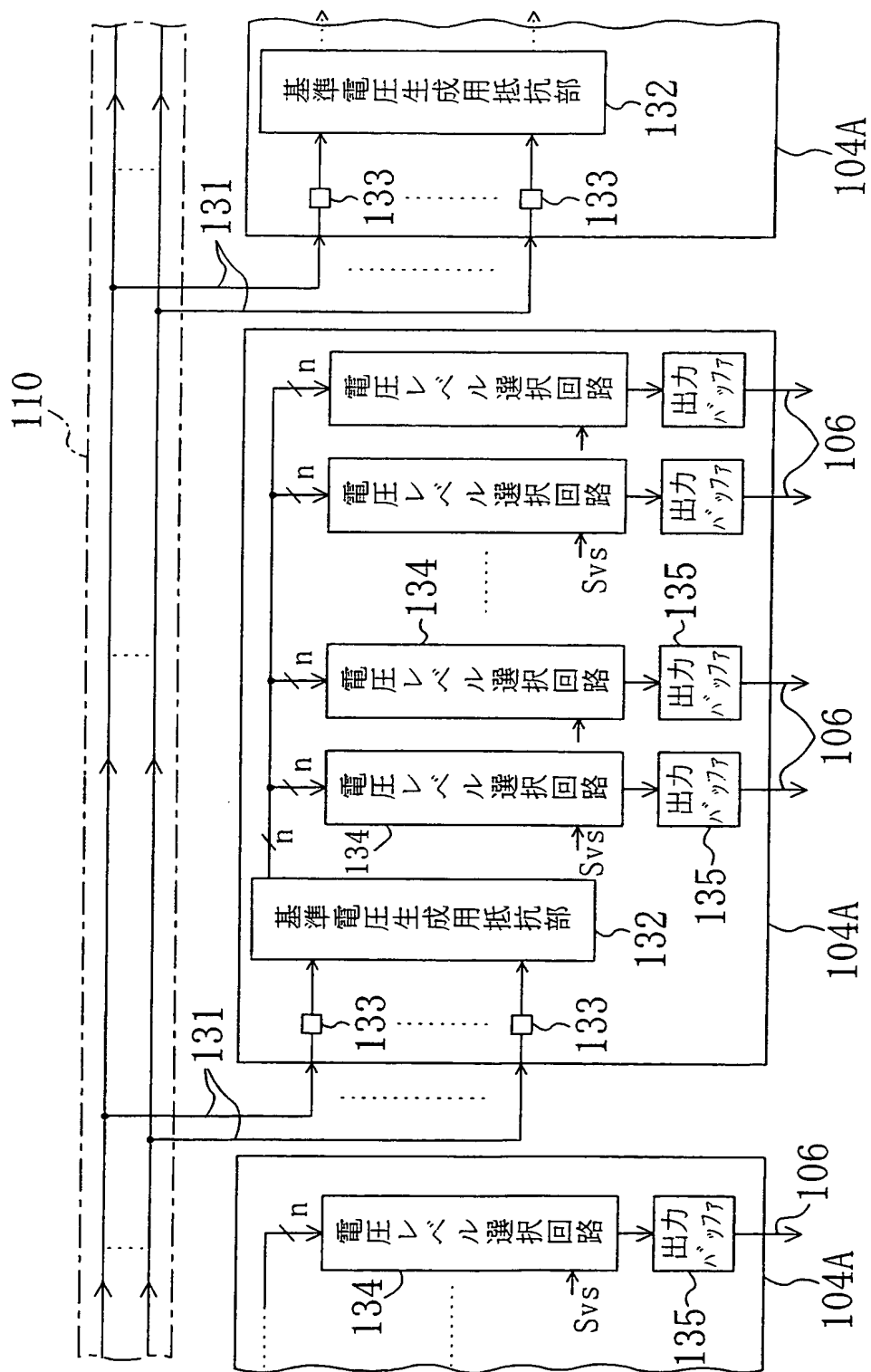


**THIS PAGE BLANK (USPTO)**



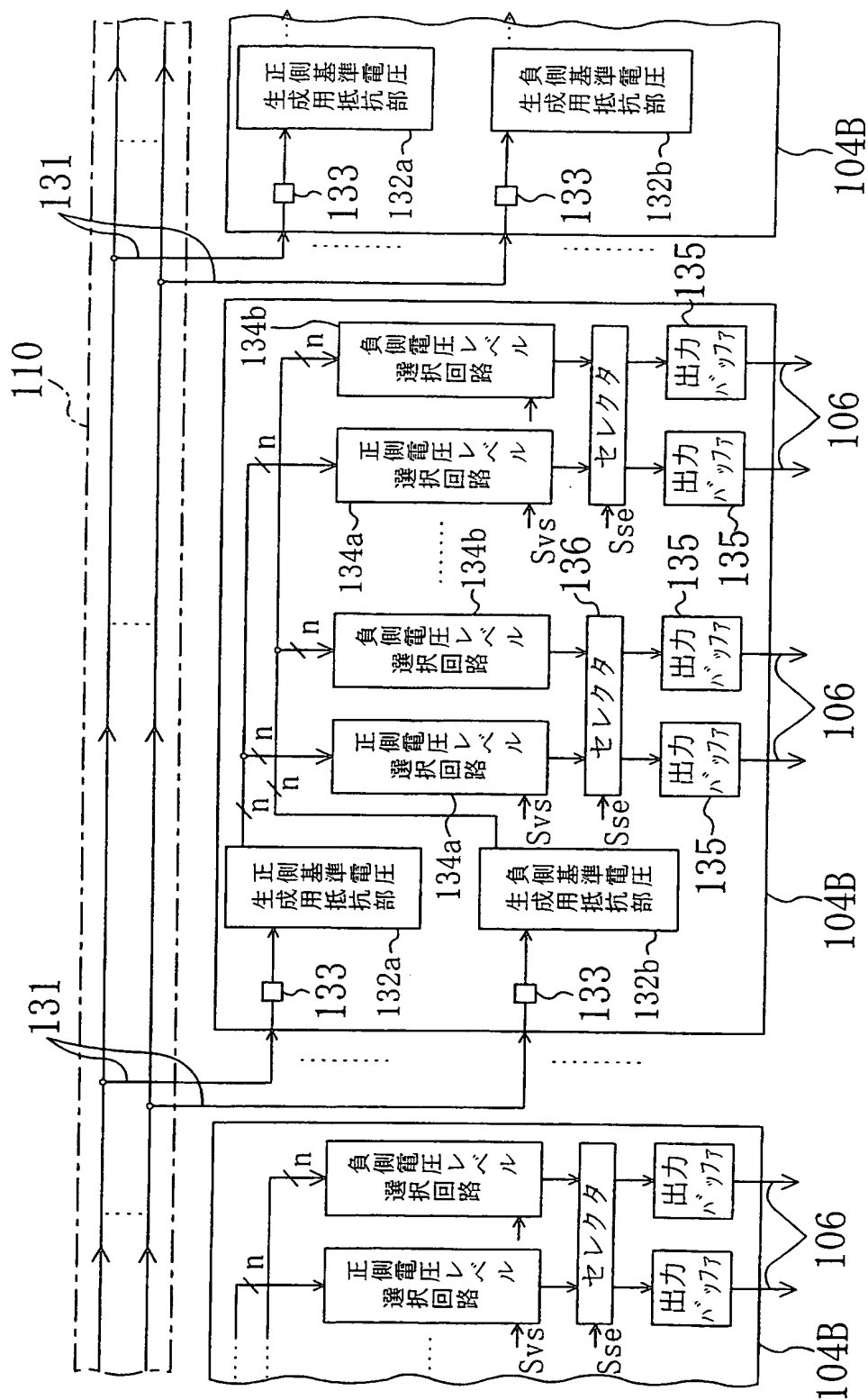
10/11

Fig. 10  
PRIOR ART



**THIS PAGE BLANK (USPTO)**

Fig. 11  
PRIOR ART



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05904

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Toroku Jitsuyo Shinan Koho	1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-35220, A (NEC Corporation), 12 February, 1993 (12.02.93), Full text; Figs. 1 to 5	1
A	Full text; Figs. 1 to 5 (Family: none)	2-8
A	JP, 5-273520, A (Sharp Corporation), 22 October, 1993 (22.10.93), Full text; Figs. 1 to 8 (Family: none)	1-8
A	JP, 5-94159, A (Matsushita Electric Ind. Co., Ltd.), 16 April, 1993 (16.04.93), Par. Nos. [0037]-[0113]; Figs. 3 to 6 (Family: none)	9-14
A	JP, 7-191635, A (Fujitsu Limited), 28 July, 1995 (28.07.95), Par. Nos. [0020]-[0028]; Fig. 4 (Family: none)	9-14
A	JP, 4-86787, A (Fujitsu Limited), 19 March, 1992 (19.03.92), Full text; Figs. 1 to 5 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
22 November, 2000 (22.11.00)Date of mailing of the international search report  
05 December, 2000 (05.12.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05904

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1, 2; and 3 to 8 relate to a liquid crystal drive circuit and a semiconductor integrated circuit device both for simplifying the structure of a wiring substrate, respectively.

The inventions of claims 9, 10; and 11 to 14 relate to a reference voltage buffer circuit and a method for controlling the same both for outputting a reference voltage that is always offset-canceled, respectively.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☒ No protest accompanied the payment of additional search fees.

## 国際調査報告

国際出願番号 PCT/JPO0/05904

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl<sup>7</sup> G 0 9 G 3 / 3 6, G 0 2 F 1 / 1 3 3

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl<sup>7</sup> G 0 9 G 3 / 3 6, G 0 2 F 1 / 1 3 3

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 5-35220, A (日本電気株式会社) 12. 2月. 1993 (12. 02. 93)	1
A	全文, 第1-5図	2-8
	全文, 第1-5図 (ファミリーなし)	
A	J P, 5-273520, A (シャープ株式会社) 22. 10月. 1993 (22. 10. 93)	1-8
	全文, 第1-8図 (ファミリーなし)	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

22. 11. 00

国際調査報告の発送日

05.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏



2G

9308

電話番号 03-3581-1101 内線 3225

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5-94159, A (松下電器産業株式会社) 16. 4月. 1993 (16. 04. 93) 段落番号【0037】-【0113】, 第3-6図 (ファミリーなし)	9-14
A	J P, 7-191635, A (富士通株式会社) 28. 7月. 1995 (28. 07. 95) 段落番号【0020】-【0028】, 第4図 (ファミリーなし)	9-14
A	J P, 4-86787, A (富士通株式会社) 19. 3月. 1992 (19. 03. 92) 全文, 第1-5図 (ファミリーなし)	1-8



## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-2、3-8は、配線用基板の構造を簡素化することを目的とした液晶駆動回路、半導体集積回路装置に関するものである。

請求の範囲9-10、11-14は、常にオフセットキャンセルされた基準電圧を出力することを目的とした基準電圧バッファ回路、及びその制御方法に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

**THIS PAGE BLANK (USPTO)**